

F6

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-78836

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	1/30		G 0 6 F 1/00	3 4 1 M
	1/26		11/22	3 1 0 C
	1/32			3 6 0 P
11/22	3 1 0		1/00	3 3 0 D
	3 6 0			3 3 2 A
審査請求 未請求 請求項の数15 O L (全 18 頁) 最終頁に続く				

(21) 出願番号 特願平8-234860

(22) 出願日 平成8年(1996) 9月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 西本 順一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 山田 孔司

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 竹内 幹

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 高橋 明夫

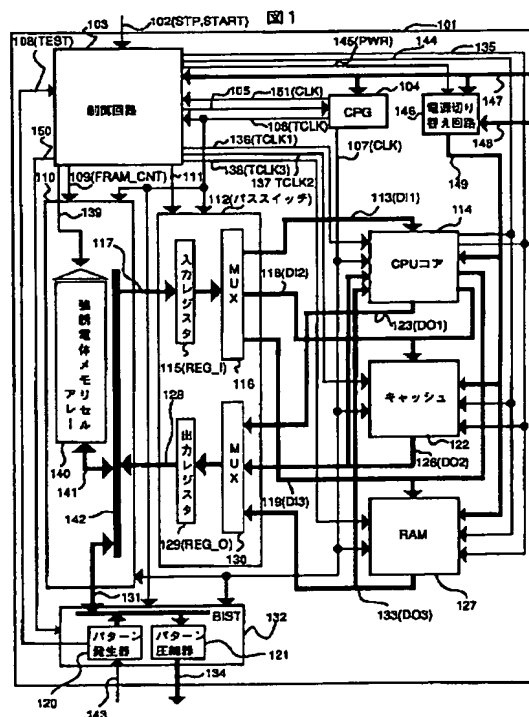
最終頁に続く

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【課題】 データ処理装置の待機時のリーク電流を削減し、消費電力を下げる。

【解決手段】 CPU+コア114内の複数の順序回路を、スキャン可能な複数のフリップフロップと複数の組み合わせ回路にて構成し、通常状態から待機状態に移移する前に、制御回路103の制御により、これらのフリップフロップのデータを順次スキャンアウトし、強誘電体メモリ110に退避する。キャッシュ122やRAM127内のメモリに保持されたデータも制御回路103の制御により順次読み出し、同様に退避し、これらの内部モジュールへの電源供給を遮断するように、電源切り替え回路146を制御する。待機状態から通常状態に移移する前に、これらの内部モジュールへの電源供給を再開するように、電源切り替え回路146を制御する。これらの退避されたデータを強誘電体メモリ110順次読み出し、それぞれのデータを保持していた上記内部モジュールに書き込む。



【特許請求の範囲】

【請求項 1】 命令を実行するための処理装置であって、複数の組み合わせ論理回路とそれらと組み合わせられて順序回路を構成するための複数の記憶素子とからなる順序回路を有するものと、

退避用のメモリと、

上記複数の記憶素子に保持された複数の内部データを読み出し、上記待機用のメモリに退避し、上記退避用のメモリから上記退避された複数の内部データを読み出し、上記複数の記憶素子に回復する退避回復回路と、上記退避回復回路により上記複数の内部データが退避された後に上記処理装置に待機状態用の電源電圧を供給し、上記退避回復回路により上記退避された複数の内部データが回復される前に上記処理装置に通常動作用の電源電圧を供給するように、上記処理装置に供給する電源電圧を切り換えるための電源供給切り替え回路とを有するデータ処理装置。

【請求項 2】 上記退避回復回路は、

上記複数の記憶素子に保持された上記複数の内部データを退避するときには、それらの内部データを順次スキャンアウトし、上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときには、上記退避された複数の内部データを上記複数の記憶素子に順次スキャンインするスキャン回路と、上記複数の記憶素子に保持された上記複数の内部データを退避するときには、上記複数の記憶素子からスキャンアウトされた上記複数の内部データを上記待機用のメモリに順次書き込み、上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときには、上記退避された上記複数の内部データを順次読み出すメモリ制御回路とを有する請求項 1 記載のデータ処理装置。

【請求項 3】 上記スキャン回路は、

上記複数の記憶素子は、それぞれの記憶素子の出力を他の記憶素子の入力に連結するための複数の信号路と、該複数の記憶素子に保持された内部データを退避するときおよび上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときに、上記複数の記憶素子にスキャン用クロックを供給するクロック供給回路とからなり、

上記複数の記憶素子は、該複数の記憶素子に保持された内部データを退避するときに供給された上記スキャン用クロックにตอบสนองして、それらに保持された内部データを上記複数の信号路を介して順次シフトアウトし、上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときに供給された上記スキャン用クロックにตอบสนองして、上記退避用のメモリから順次読み出された内部データを上記複数の信号路を介して順次シフトインするシフトレジスタを実現する素子からなる請求項 2 記載のデータ処理装置。

【請求項 4】 上記順序回路のテスト時に、テストデータの異なる部分を上記複数の記憶素子に順次スキャンインし、そのスキャンインされたテストデータに対する上記複数の組み合わせ論理回路からの応答データの異なる部分を該複数の記憶素子に保持させ、その保持された応答データの上記異なる部分を順次スキャンアウトするテスト用スキャン回路をさらに有し、

上記テスト用スキャン回路は、

該複数の記憶素子に上記テストパターンを上記複数の信号路を介してスキャンインし、上記応答データを上記複数の信号路を介してスキャンアウトするように、該複数の記憶素子に上記テストパターンをスキャンインするときおよびそのテストパターンに対する上記応答データをスキャンアウトするときに、上記複数の記憶素子に上記スキャン用クロックを供給するように上記クロック供給回路を制御する回路と、

該複数の記憶素子に上記テストパターンをスキャンインした後、そのスキャンインされたテストパターンに対する上記複数の論理回路からの上記応答データをスキャンアウトする前に、上記複数の論理回路からの上記応答データの異なる部分を上記複数の記憶素子に保持させるための信号を上記複数の記憶素子に供給する回路をさらに有する請求項 3 記載のデータ処理装置。

【請求項 5】 上記退避用のメモリは、書き換え可能な不揮発性メモリからなる請求項 1 から 4 のいずれか一つに記載のデータ処理装置。

【請求項 6】 上記不揮発性メモリは強誘電体メモリである請求項 5 記載のデータ処理装置。

【請求項 7】 上記不揮発性メモリはフラッシュメモリである請求項 5 記載のデータ処理装置。

【請求項 8】 上記処理装置が使用するデータを保持するランダムアクセスメモリと、

上記処理装置を待機状態にする前に、上記ランダムアクセスメモリに記憶されたデータを上記待機用のメモリに退避し、上記処理装置を待機状態にした後、通常動作状態にする前に上記待機用のメモリに退避された上記ランダムアクセスメモリのデータを上記ランダムアクセスメモリに回復するメモリデータ退避回復回路をさらに有し、

上記電源供給切り替え回路は、上記処理装置へ供給する、上記通常動作用の電源電圧と上記待機状態用の電源電圧とを切り替えるのに同期して、上記ランダムアクセスメモリへ上記通常動作用の電源電圧と上記待機状態用の電源電圧とを切り替える請求項 5 記載のデータ処理装置。

【請求項 9】 上記ランダムアクセスメモリの一部のデータの写を保持するキャッシュをさらに有し、

上記メモリデータ退避回復回路は、上記処理装置を待機状態にする前に、上記キャッシュに記憶された情報を上記待機用のメモリに退避し、上記処理装置を待機状態に

した後、通常動作状態にする前に上記待機用のメモリに退避された上記キャッシュの情報を上記キャッシュに回復する回路をさらに有し、

上記電源供給切り替え回路は、上記処理装置へ供給する、上記通常動作用の電源電圧と上記待機状態用の電源電圧とを切り替えるのに同期して、上記ランダムアクセスメモリへ上記通常動作用の電源電圧と上記待機状態用の電源電圧とを切り替えて供給する請求項8記載のデータ処理装置。

【請求項10】故障診断のために上記処理装置に与えるランダムテストパターンデータを発生するパターン発生器と、

該ランダムテストパターンデータに対する応答パターンデータを圧縮するパターン圧縮器と、

上記データ処理装置をテストするときに上記パターン発生器から順次発生される複数のランダムパターンデータを順次上記退避用のメモリに転送し、それらをさらに上記退避用のメモリから順次読み出し上記処理装置に転送し、該複数のランダムテストパターンデータに対して上記処理装置から順次与えられる複数の応答パターンデータを上記退避用のメモリ内のバッファ領域に順次転送し、それらをそのメモリから順次読み出し該パターン圧縮器に順次転送するデータ転送回路と、

上記複数の記憶素子に該複数のランダムテストパターンデータの各々をスキャンインし、そのスキャンインされたランダムテストパターンデータに対する上記複数の論理回路からの応答パターンデータを上記複数の記憶素子に保持させ、保持された応答パターンデータをスキャンアウトするスキャン回路とをさらに有する請求項1記載のデータ処理装置。

【請求項11】上記データ処理装置はマイクロプロセッサを含む請求項1から10のいずれか一つに記載のデータ処理装置。

【請求項12】複数の組み合わせ論理回路とそれらと組み合わせられて順序回路を構成するための複数の記憶素子とからなる順序回路と、

退避用の不揮発性メモリと、

上記複数の記憶素子に保持された複数の内部データを読み出し、上記待機用のメモリに退避し、上記退避用のメモリから上記退避された複数の内部データを読み出し、上記複数の記憶素子に回復する退避回復回路と、
上記退避回復回路により上記複数の内部データが退避された後に上記順序回路に待機状態用の電源電圧を供給し、上記退避回復回路により上記退避された複数の内部データが回復される前に上記順序回路に通常動作用の電源電圧を供給するように、上記順序回路に供給する電源電圧を切り換えるための電源供給切り替え回路とを有するデータ処理装置。

【請求項13】上記退避回復回路は、
上記複数の記憶素子に保持された上記複数の内部データ

を退避するときには、それらの内部データを順次スキャンアウトし、上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときには、上記退避された複数の内部データを上記複数の記憶素子に順次スキャンインするスキャン回路と、
上記複数の記憶素子に保持された上記複数の内部データを退避するときには、上記複数の記憶素子からスキャンアウトされた上記複数の内部データを上記待機用のメモリに順次書き込み、上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときには、上記退避された上記複数の内部データを順次読み出すメモリ制御回路とを有する請求項12記載のデータ処理装置。

【請求項14】上記スキャン回路は、

上記複数の記憶素子は、それぞれの記憶素子の出力を他の記憶素子の入力に連結するための複数の信号路と、
該複数の記憶素子に保持された内部データを退避するときおよび上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときには、上記複数の記憶素子にスキャン用クロックを供給するクロック供給回路とからなり、

上記複数の記憶素子は、該複数の記憶素子に保持された内部データを退避するときには供給された、上記スキャン用クロックに応答して、それらに保持された内部データを上記複数の信号路を介して順次シフトアウトし、上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときには供給された上記スキャン用クロックに応答して、上記退避用のメモリから順次読み出された内部データを上記複数の信号路を介して順次シフトインするシフトレジスタを実現する素子からなる請求項13記載のデータ処理装置。

【請求項15】上記順序回路のテスト時に、テストデータの異なる部分を上記複数の記憶素子に順次スキャンインし、そのスキャンインされたテストデータに対する上記複数の組み合わせ論理回路からの応答データの異なる部分を該複数の記憶素子に保持させ、その保持された応答データの上記異なる部分を順次スキャンアウトするテスト用スキャン回路をさらに有し、

上記テスト用スキャン回路は、

該複数の記憶素子に上記テストパターンを上記複数の信号路を介してスキャンインし、上記応答データを上記複数の信号路を介してスキャンアウトするように、該複数の記憶素子に上記テストパターンをスキャンインするときおよびそのテストパターンに対する上記応答データをスキャンアウトするときに、上記複数の記憶素子に上記スキャン用クロックを供給するように上記クロック供給回路を制御する回路と、

該複数の記憶素子に上記テストパターンをスキャンインした後、そのスキャンインされたテストパターンに対する上記複数の論理回路からの上記応答データをスキャン

アウトする前に、上記複数の論理回路からの上記応答データの異なる部分を上記複数の記憶素子に保持させるための信号を上記複数の記憶素子に供給する回路をさらに有する請求項14記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術の分野】本発明は待機状態における消費電力を低減した、マイクロプロセッサ等のデータ処理装置に関する。

【0002】

【従来の技術】マイクロプロセッサ等のいろいろのデータ処理装置における技術的課題の一つは、データ処理装置が待機状態にあるときの消費電力を低減することである。消費電力低減のためにいろいろな工夫が従来なされている。その典型的な方法は、データ処理装置の内部に供給するクロックを停止することである。

【0003】通常、データ処理装置を構成する複数の内部モジュールの多くは順序回路により構成され、しかもその順序回路は、複数の組み合わせ回路とそれらとともに順序回路を構成するための複数の記憶素子（例えば、ラッチあるいはフリップフロップ）とで構成されている場合が多い。各内部モジュールでは、各記憶素子の出力がいずれかの組み合わせ論理回路に接続され、その組み合わせ論理回路の出力はさらに他の記憶素子に接続され、これらの記憶素子は、データ処理装置の内部で発生したクロック若しくはその外部から与えられたクロックに従って動作する。すなわち、いずれかの記憶素子路に保持したデータが読み出され、その記憶素子に接続されたいずれかの組み合わせ回路に入力され、その組み合わせ回路の出力はさらに他の記憶素子に入力される。

【0004】その内部モジュールに対する電源電圧を供給した状態で、そのモジュールへのクロックの供給を停止したとしても、その内部モジュールの内部状態は保持されるため、その後任意のタイミングでその内部モジュールに対するクロックの供給を再開すれば、その内部モジュールは動作を再開することができる。従って、従来は、データ処理装置が待機状態にあるときに使用されない内部モジュールに対してクロックの供給を停止することにより、データ処理装置の待機状態での消費電力を低減している。具体的な動作態様としては、例えばCPUのみの動作を停止し、そこへのクロックの供給を停止し、周辺回路モジュールにはクロックを供給し続け、従って、クロック発生回路も動作し続けるスリープモードや、CPUにも周辺モジュールにもクロックの供給を停止し、従ってクロック発生回路も動作を停止するスタンバイモードなどが存在する。

【0005】データ処理装置が待機状態にあるときに、内部モジュールへのクロックの供給を停止したとしても、その内部モジュール内の記憶素子に、そのときまでに保持していた情報を保持させるためには、その内部モ

ジュールに供給するクロックのレベルおよび電源電圧を下げることはできない。従って、この内部モジュール内では依然としてリーク電流が発生し続け、それによる消費電力が発生する。このため、待機状態にある回路のリーク電流を低減する有効な方法が望まれる。

【0006】そのための一つの試みとして、データ処理装置が搭載された半導体集積回路に待機時に基板バイアスを印加する方法も提案されている。例えば、黒田ほか、「スピードを維持した50%省電力化回路」（信学技報、ED95-38、1995-06、pp. 9-15）参照。

【0007】また、最近では、いろいろの利便性を考慮して、マイクロプロセッサ上に書き換え可能な不揮発性メモリを搭載することが多くなってきている。不揮発性メモリの種類としてはEPROMやEEPROMやFLASHメモリなどがあるが、書き換え回数の制限や書き込み方法の不便さがあった。しかし、最近では書き換え回数や書き込み、読み出し方式もDRAMに近づいた不揮発性のメモリとして、強誘電体メモリ（FRAM）が現われてきている。FRAMは、不揮発性であるため、データ保持にリフレッシュ動作が必要でとせず、待機時のこのメモリの消費電力は非常に小さくできるだけでなく、DRAMと同等のアクセス時間を有し、さらに、SRAMと比べると、大幅にセル面積が小さいという利点も有する。FRAMの詳細については塩寄他 編、「強誘電体薄膜メモリ」（サイエンスフォーラム社、pp. 2-260）を参照のこと。

【0008】マイクロプロセッサ等のいろいろのデータ処理装置における他の技術的課題の一つは、回路の故障検出のためのテスト時間の短縮である。従来、マイクロプロセッサの故障検出に主に用いられてきた方法には、テストパターンをマイクロプロセッサ外部から与える方法がある。しかし、この方法では、外部からテストパターンの量は、マイクロプロセッサの高速化、高集積化に伴い膨大となり、このために、テスト時間が増大するという問題がある。とくに、順序回路の故障検出用のテストパターンの生成は、組み合わせ回路の故障検出用のテストパターンの生成に比べて難しいということが知られている。このため、最近では多くのマイクロプロセッサが順序回路を前述のように複数の論理回路とそれらに接続された複数のフリップフロップで構成し、それらのフリップフロップに対するスキャン回路を有するようになった。これにより、これらのフリップフロップに任意の値を設定できるようになるため順序回路の故障検出は容易になり、故障検出の問題は、組み合わせ回路だけの問題に帰着する。

【0009】この組み合わせ回路の故障検出を高速に行う最近の手法として、組み込み自己テスト回路BIST（Built-In Self-Test）が存在する。BISTとはプロセッサに内蔵された1つのモジュ

ールのことであり、このモジュールがランダムパターンを発生し、組み合わせ回路へそのパターンを与え、組み合わせ回路からの出力を受け取り、結果を圧縮して外部へ出力するといった動作をする。この出力を用いてマイクロプロセッサ上の故障の有無を判定する。このBISTの詳細については「A Tutorial on Built-In Self-Test Part 1: Principles」(IEEE DESIGN & TEST OF COMPUTERS, MARCH, 1993, pp. 73-82)と、「A Tutorial on Built-In Self-Test Part 2: Applications」(IEEE DESIGN & TEST OF COMPUTERS, JUNE, 1993, pp. 69-77)を参照のこと。

【0010】この技術を使用するとしても、多数のテストパターンをBIST回路から検査対象モジュールに供給し、それらに対する応答データを検査対象モジュールからBIST回路に回収する必要がある。検査の高速化のためには、これらのテストパターンの供給およびそれぞれに対する応答データの回収を高速化することが望ましい。

【0011】

【発明が解決しようとする課題】プロセッサ待機時に、その内部の不使用の内部モジュールに対するクロック供給を停止する従来の方法でも、待機時にリーク電流による消費電力が発生する。今後プロセッサが高集積化され、高速化すると、このリーク電流による消費電力がプロセッサ全体の消費電力に占める割合が増大することは明らかである。

【0012】本発明の目的は、待機時の消費電力をさらに低減可能なデータ処理装置を提供することである。

【0013】本発明のより具体的な目的は、比較的簡単な回路を付加するだけで待機時の消費電力をさらに低減可能なデータ処理装置を提供することである。

【0014】本発明の他の目的は、組み込み自己テスト回路を用いた故障検出における、テストパターンの供給およびそれぞれに対する応答データの回収を高速に行うデータ処理装置を提供することである。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明によるデータ処理装置内の命令を実行する処理装置が、複数の組み合わせ論理回路とそれらと組み合わされた複数の記憶素子とからなる順序回路にて構成され、このデータ処理装置は、退避用のメモリと、上記複数の記憶素子に保持された複数の内部データを上記待機用のメモリに退避し、後に上記退避用のメモリに退避された複数の内部データを上記複数の記憶素子に回復する退避回復回路と、上記退避回復回路により上記複数の内部データが退避された後に上記処理装置に退避状態用の

電源電圧を供給し、上記退避回復回路により上記退避された複数の内部データが回復される前に上記処理装置に通常動作用の電源電圧を供給するように、上記処理装置に供給する電源電圧を切り換えるための電源供給切り替え回路とを有する。

【0016】特に、本発明の望ましい態様では、上記退避回復回路は、上記複数の記憶素子に保持された上記複数の内部データを退避するときには、それらの内部データを順次スキャンアウトし、上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときには、上記退避された複数の内部データを上記複数の記憶素子に順次スキャンインするスキャン回路と、上記複数の記憶素子に保持された上記複数の内部データを退避するときには、上記複数の記憶素子からスキャンアウトされた上記複数の内部データを上記待機用のメモリに順次書き込み、上記退避用のメモリに退避された上記複数の内部データを上記複数の記憶素子に回復するときには、上記退避された上記複数の内部データを順次読み出すメモリ制御回路とを有する。

【0017】特に、本発明の望ましい他の態様では、上記退避用のメモリは、書き換え可能な不揮発性メモリ、望ましくは強誘電体メモリからなる。

【0018】

【発明の実施の形態】以下、本発明に係るデータ処理装置を図面に示した実施の形態を参照してさらに詳細に説明する。

【0019】<発明の実施の形態>

(1) 装置の概要

図1で、101は、本発明に係るマイクロコンピュータを表す。これは一つの大規模集積回路(ワンチップ)上に搭載されている。マイクロコンピュータ101には、CPUコア114と、キャッシュ122と、RAM127が設けられている。RAM127は、このマイクロプロセッサ101の主記憶の一部として使用するRAMであり、CPUコア114が使用するデータを保持する。この主記憶の残りの大部分は、このマイクロプロセッサ101が搭載されているチップとは別に設けられているRAM(図示せず)により実現される。キャッシュ122は、RAM127とこの図示していない外部のRAMにより実現される主記憶内のデータの一部の写を保持するキャッシュである。

【0020】CPUコア114は、このマイクロコンピュータが必要とするマイクロ命令を実行するもので、本実施の形態では、マイクロ命令を記憶したROMは、このマイクロコンピュータの外部の設けられ、簡単化のために図示されていない。

【0021】制御回路103は、マイクロプロセッサ101での退避動作、回復動作、テスト動作の実行を制御する回路である。この回路は、マイクロプロセッサ101を待機状態にする前に、マイクロプロセッサ101が

待機状態にあるときには使用されないいくつかの内部モジュール、具体的には、CPUコア114と、キャッシュ122と、RAM127の内部データをパススイッチ112を介して強誘電体メモリ110に退避させる。この待機動作のために、クロック生成回路104にテストクロックTCLKを生成させ、待機動作中の内部モジュールにその内部データが全て待機されるまで供給する。その後、マイクロプロセッサ101を待機状態にする。待機状態では、これらの内部モジュール、強誘電体メモリ110、パススイッチ112、BIST回路132などの、待機時に使用しない内部モジュールへの電源の供給を電源切り替え回路146に遮断させる。マイクロプロセッサ101を待機状態から通常動作状態に戻す前に、これらの内部モジュールへの電源の供給を電源切り替え回路146に再開させ、強誘電体メモリ110に退避された内部データを上記CPUコア114、キャッシュ122、RAM127にパススイッチ112を介して回復させる。

【0022】強誘電体メモリ110は、マイクロプロセッサ101内の退避すべき内部データを低消費電力でもって保持するために設けられ、パススイッチ112とは、上記退避動作および上記回復動作、上記テスト動作の間、上記いくつかの内部モジュールと上記強誘電体メモリ140の間のデータ転送に使用される。ここで、強誘電体メモリは、強誘電体絶縁膜の履歴特性を利用した不揮発性のメモリである。強誘電体メモリには、先に引用した文献に記載の通りいくつかの種類があるが、本実施の形態では、いずれの種類も原理的に使用可能である。

【0023】クロック生成回路104は、制御回路103の制御の下で、供給するクロックを切り換え可能になっている。すなわち、通常動作時には通常動作クロックCLKをこのマイクロプロセッサ内部のいろいろの内部モジュールに、それらに共通の線107を介して供給し、上記退避動作、上記回復動作およびマイクロプロセッサ101のテスト動作の間、通常クロックと同じ周波数のテストクロックTCLKを出力し、制御回路103が、上記退避動作、回復動作、およびテスト動作に関与している、マイクロプロセッサ101内の特定の内部モジュール、ここではCPUコア114、キャッシュ122、またはRAM127に、このテストクロックを選択的に供給する。

【0024】クロック生成回路104は、マイクロプロセッサ101が待機状態になったときには、マイクロプロセッサ101内の、制御回路103以外の内部モジュール、具体的には、CPUコア114、キャッシュ122、RAM127、強誘電体メモリ109、パススイッチ112、BIST回路132への通常クロックCLKの供給を制御回路103の制御の下で停止する。このために、CPUコア114、キャッシュ122、RAM1

27等の、制御回路103以外の内部モジュールに通常クロックCLKをクロック生成回路104から供給する線107は、制御回路103に通常クロックCLKをクロック生成回路104から供給する信号線151とは区別して設けられている。

【0025】電源切り替え回路146には、通常動作用の電源147と待機時用の電源148（これは接地電位に等しい）が外部から供給されており、電源切り替え回路146は、マイクロコンピュータ101が待機状態になったときに、上記CPUコア114、キャッシュ122、RAM127等の不使用状態となる、制御回路103とクロック生成回路104以外の内部モジュールへの電源供給を制御回路103の制御の下で停止する。このため、CPUコア114、キャッシュ122、RAM127、強誘電体メモリ109、パススイッチ112、BIST回路132等の、制御回路103とクロック生成回路104以外の内部モジュールに電源電位を供給する線149は、制御回路103とクロック生成回路104に電源電位を供給する線147とは区別して設けられている。なお、制御回路103とクロック生成回路104には、通常動作用の電源が線147を介して常時供給される。以上により、マイクロプロセッサ101が待機状態にある間、制御回路103とクロック生成回路104以外の内部モジュールでのリーク電流による消費電力を低減する。

【0026】一般にデータ処理装置を構成する内部モジュールは、複数のランダムモジュールとマクロモジュールとを含む。ここでランダムモジュールとは順序回路を主要構成要素とするモジュールであり、通常は自動論理合成により生成されるモジュールのことである。本実施の形態では、この順序回路は、複数の記憶素子（ここではフリップフロップと仮定する）とそれらを相互に接続する複数の組み合わせ論理回路とからなる。またマクロモジュールとはROMやRAMなどのメモリを主要構成要素とするモジュールを指す。これらのモジュールの数はデータ処理装置の規模により変わる。図1では、CPUコア114はランダムモジュールであり、キャッシュ112とRAM127はマクロモジュールである。

【0027】本実施の形態では、CPUコア114のようなランダムモジュールを構成する順序回路の複数の記憶素子に対して、それぞれが保持する複数の内部データを所定の順に順次退避し、さらに、それらの退避された内部データをそれぞれの記憶素子に順次回復するスキャン回路を使用する。しかも、このスキャン回路の主要部をテスト動作に使用されるスキャン回路と共用することにより、少ない回路の追加でもって、上記退避回復を実現している。

【0028】BIST回路132はこのマイクロプロセッサのテストをパススイッチ112と強誘電体メモリ140を使用して行うようになっている。その際、強誘電

体メモリ140を複数のテストパターン保持用のバッファおよびそれらに対するCPUコア114からの複数の応答データの保持用のバッファとして使用する。以下、図1の装置とその動作の詳細をさらに説明する。

【0029】(2) 内部データの退避

(2A) 待機動作の起動

マイクロプロセッサ101の待機状態への遷移と通常状態への遷移は、図示しない他のプロセッサから線102を介して制御回路103に与えられる停止信号STPおよび起動信号STARTにより起動される。さらに、BIST回路132から線108を介してテスト開始要求TESTもこの制御回路103に与えられる。

【0030】図4を参照するに、制御回路103では、起動回路401が、停止信号STP、起動信号START、テスト開始要求TESTを受信し、それぞれの信号の受信をステートマシン405に線403を介して通知する。このステートマシン405は、この受信された要求に対応する動作が実行されるように、制御回路103内のいろいろの回路をそれぞれの回路に応じて定めたタイミングで線408を介して起動する。

【0031】具体的には、起動回路401は、上記起動信号STARTを受信すると、以下のようにして、退避対象の内部モジュールの内部データの退避動作を以下のようにして起動する。図6には、この退避動作に関係するいくつかの信号のタイミングチャートを示す。

【0032】起動回路401は、先ず、線402を介してクロック切り替え制御回路404に、テストクロックの生成要求を出力する。クロック切り替え制御回路404は、この要求に回答して、退避動作を実行すべき全ての内部モジュールでの待機動作が完了するまでの間、テストクロックの生成要求を線105を介してクロック生成回路104に供給する。クロック生成回路104は、このテストクロック生成要求に回答して、テストクロックTCLKを線106を介して制御回路103に与えるとともに、強誘電体メモリ110、パススイッチ112、BIST回路132等の、通常動作以外の動作時に使用する内部モジュールにも線106を介して与える。このテストクロックTCLKは、退避回復対象の内部モジュールの全ての退避動作が完了するまで供給される。

【0033】さらに、起動回路401は、ステートマシン405に退避動作の開始を線403を通して指示する。ステートマシン405は、この退避動作の開始指示に回答して、制御回路103内のいろいろの回路を制御する。まず、モジュール指定回路407に退避動作のためのモジュールの選択を指示する。

【0034】モジュール指定回路407は、この指示に回答して、退避動作の対象とする内部モジュール、今の例では、CPUコア114、キャッシュ122、RAM127を予め定めた順に従って順次選択する。選択された内部モジュールでの退避動作が完了したときに、次の

内部モジュールを選択する。モジュール指定回路407は、CPUコア114、キャッシュ122、RAM127を選択したときに、それぞれセレクト信号TSEL1、TSEL2、TSEL3を線409、410、411に出力する。モジュール指定回路407は、それぞれの内部モジュールでの退避動作が完了するまで、それぞれの内部モジュールに対するセレクト信号を、それぞれの内部モジュール内の内部データの退避に必要な期間だけ出力し続ける。

【0035】テストクロック供給回路420は、退避回復動作の対象とする内部モジュールに対応する複数のANDゲート415A、415B、415Cを有し、これらのANDゲートには、クロック生成回路104が供給するテストクロックTCLKと上記セレクト信号TSEL1、TSEL2、TSEL3の一つが供給されている。こうして、ANDゲート415A、415B、415Cは、それぞれに対応するCPUコア114、キャッシュ122、RAM127が選択されると、それぞれ線136、137、138を介して、その対応する内部モジュールにテストクロックTCLK1、TCLK2、TCLK3を供給する。こうして、それぞれの内部モジュールでの内部データの読み出しが順次起動される。

【0036】(2B) CPUコア114からのデータの読み出し

図2を参照するに、CPUコア114は、通常動作状態では、電源切り替え回路146から線149を介して通常動作電源が供給され、クロック生成回路104から線107を介して供給される通常動作クロックCLKに回答して動作する。CPUコア114は、前述の退避動作、回復動作、およびテスト動作の状態では、制御回路103から線136を介して供給されるテストクロックTCLK1に回答して動作する。

【0037】CPUコア114は、命令を解読する回路、解読された命令を複数のパイプラインステージに分けて実行する回路、その解読された命令が要求する演算を実行するための複数の演算器あるいは命令で使用される複数のレジスタその他からなる複数の基本回路部分により構成されるが、これらの基本回路部分の大部分は、順序回路により構成される。

【0038】上記CPUコア114は、通常動作時には、バス126および133を介してそれぞれ、キャッシュ122、RAM127からの読み出しデータDO2またはDO3を受け取り、このデータを適当な一つの基本単位回路に入力する。その基本単位回路の出力が、CPUコア114からの出力データDI2またはDI3としてそれぞれキャッシュ122またはRAM127にバス118または119を介して供給される。CPUコア114へ入力されたデータを供給する基本単位回路の選択とあるいはCPUコア114から出力すべきデータを供給すべき基本単位回路の選択は、図示しないスイッチ

により行われる。

【0039】本実施の形態では、各基本回路部分の順序回路は、記憶素子である複数のフリップフロップ（FF）と、複数の組み合わせ回路により実現される。図では、CPUコア114内の複数の基本回路部分に含まれるL個（Lは複数）の順序回路の内部構造として、この様に接続された複数のフリップフロップ（FF）205と、複数の組み合わせ回路208を模式的に示す。

【0040】以下では、簡単化のために、各順序回路のフリップフロップ群がM×M個のフリップフロップからなり、各フリップフロップ群をM行、M列に配置する。ここでMは、各順序回路に供給されるデータのビット数に等しく、本実施の形態では、CPUコア114のバス113、123のデータ幅に等しい。従って、同じ列のM個のフリップフロップが同じデータのMビットの一つを保持する。さらに、列数Mはこの順序回路で実行される論理演算の段数を表すことになる。従って、通常動作時には、この順序回路には、図の最も左列のM個のFFにMビットのデータが供給され、図の最も右列のM個のFFからMビットのデータが出力されることを示す。

【0041】さらに、各順序回路のフリップフロップ群の最下段の行のフリップフロップが次ぎの順序回路の最上段の行のフリップフロップに接続する。これにより、全順序回路のフリップフロップ群が、総数N×M（但し、N=L×M）個のフリップフロップからなると仮定する。最初の順序回路の第1行のM個のフリップフロップの退避回復動作時の入力線203は入力バッファ201からデータを受け取るように接続され、最終の順序回路の最下行のM個のフリップフロップの退避動作時の出力線206は出力バッファ211にデータを供給するように接続される。

【0042】ここで、各フリップフロップには、それらのフリップフロップが属する行のアドレスiと列のアドレスjとをそのフリップフロップに割り当て、そのフリップフロップをFF[i, j]と表し、そのフリップフロップの通常出力側に接続された組み合わせ論理回路をC[i, j]と表す。

【0043】各フリップフロップは、4入力2出力を有し、スキャンラッチを構成する。各FF[i, j]には、通常動作クロックCLKとテストクロックTCLK1との一方がそれぞれ線107または136を介して供給される。

【0044】通常動作時には、同じ行アドレスiを有するM個のフリップフロップが一つのシフトレジスタを構成するように動作する。すなわち、各FF[i, j]は、そこに通常動作クロックCLKが供給された場合には、入力204を取り込み、各FF[i, j]の出力207は、そのFF[i, j]に接続された出力側の組み合わせ論理回路C[i, j]に供給され、その組み合わせ論理回路C[i, j]の出力は次のFF[i, j+

1]に供給される。なお、各行の先頭のフリップフロップFF[i, 1]の入力は、CPUコア114にバス126または133から図示しないスイッチを介して入力されるデータの1ビットである。各行の最後のフリップフロップFF[i, M]の出力は、図示しないスイッチ回路を介してバス118または119に供給される。こうして、通常動作時には、CPUコア114内の多数のフリップフロップ205と多数の組み合わせ論理回路208は、バス126または133から供給されたデータに対してCPUコア114が実行すべき処理の一つを施し、その結果データを出力する。

【0045】なお、いずれかの順序回路のフリップフロップの段数が、データ幅Mより大きいときには、その順序回路を構成するフリップフロップ群をそれぞれM段以下の段数を有する複数の部分フリップフロップ群に分け、それらの複数の部分フリップフロップ群の各群の退避回復用の入力線203、206を他のフリップフロップ群に接続するときには、その部分フリップフロップ群をそれらの部分フリップフロップ群の一つまたは他の順序回路のフリップフロップ群に図2のM列の行列を形成するように接続すればよい。また、いずれかの順序回路のフリップフロップの段数が、データ幅Mより小さいときには、そのフリップフロップ群の退避回復用の入力線203、206を他のフリップフロップ群に接続するときには、図2のM列の号列を形成するように、M段より不足する段数のフリップフロップを介してそのフリップフロップ群に付加し、それらの付加したフリップフロップを当該他のフリップフロップ群に接続すればよい。

【0046】以上の説明から分かるように、CPUコア114内の順序回路はCPUコアで実行中の一つ又は複数の命令に関連する情報を含んでいる。省電力のためにCPUコア114の動作を中断し、待機状態に移させ、電源供給を遮断した後CPUコア114の動作を再開するという方法を採用する場合、CPUコア114の内部状態を、待機状態に移移する直前のCPUコア114の内部状態に復元することが出来れば、使用者は中断時点のプログラム実行状態からマイクロプロセッサを引き続き使用できる。しかし、これらの順序回路を構成するフリップフロップは揮発性であり、電源電圧がこのCPUコア114に供給されなくなると、これらのフリップフロップに保持されたこれらの情報は消滅してしまう。このための、本実施の態様では、CPUコア114に対する電源遮断の前に、CPUコア114内の複数の順序回路のフリップフロップに保持された内部データを退避し、後にそれらを回復するようにしている。この退避を実現するために、以下に説明するように、通常状態から待機状態への遷移時には、これらのフリップフロップに保持された内部データをスキャンアウトして退避し、通常状態から待機状態への遷移時には、これらの退避された内部データをこれらのフリップフロップにスキャンイ

ンするスキャン回路を使用する。

【0047】テストクロックTCLK1が各フリップフロップに供給されたときには、同じ列アドレスjを有するN個のフリップフロップが一つのシフトレジスタを構成するように動作する。すなわち、各FF[i、j]は、そこにテストクロックTCLK1が供給された場合には、テスト入力203を取り込み、各FF[i、j]

{FF[N、1]、FF[N、2]、……、FF[N、M]}
 {FF[N-1、1]、FF[N-1、2]、……、FF[N-1、M]}
 {FF[N-2、1]、FF[N-2、2]、……、FF[N-2、M]}
 :
 :
 {FF[1、1]、FF[1、2]、……、FF[1、M]}

の順に出力バッファ211を通してデータバス123へ全フリップフロップの内容が読み出される。なお、以上に述べた内部データの読み出し動作は、CPUコア114のテスト動作の時にも使用される。

【0048】後に説明する回復動作の時には、CPUコア114内の全順序回路から退避された複数の内部データがそれぞれのデータの退避順にバス113を介して入力バッファ201に供給され、それらの順序回路内の全フリップフロップへ順次転送され、結果として、それぞれのフリップフロップから退避されたデータがそれぞれのフリップフロップに回復される。すなわち、上記退避動作時には、CPUコア114内の各順序回路のフリップフロップのデータが順次出力バッファ211にスキャンアウトされ、さらにデータバス123、パススイッチ112を介して強誘電体メモリ140へ退避される。なお、以上に述べた内部データの読み出し動作は、CPUコア114のテスト動作の時にも使用される。

【0049】以上から分かるように、本実施の形態では、CPUコア114内の複数の順序回路内の複数のフリップフロップを相互に接続する信号線203、206および制御回路103内の、これらのフリップフロップにテストクロックTCLKを供給するクロック供給回路420その他の回路は、これらのフリップフロップが保持するデータを順次スキャンアウトし、あるいは、それらのフリップフロップにデータを順次スキャンインするスキャン回路を実現し、その回路を使用してこれらのフリップフロップの内部データを退避回復していることになる。

【0050】後にテスト動作に関して説明するように、このCPUコアのテスト動作時には、このスキャン回路を共用してテスト動作に必要なスキャンアウト動作を実現するように制御回路を付加することになる。従って、本実施の形態では、この退避および回復のためのスキャン回路の主要部をテスト用のスキャン回路と共用するように構成していることになる。このことにより、CPUコア114のようなランダムモジュールの内部データの退避および回復を実現する回路を簡単化している。

の出力206は、そのFF[i、j]に接続された出力側のFF[i+1、j]に供給される。出力バッファ211へはFF[N、1]からFF[N、M]のそれぞれの出力信号206がテストクロック106に同期して並列に格納される。つまりテストクロックでの動作が開始すると

【0051】(2C)強誘電体メモリ110への内部データの書き込み

CPUコア114から内部データが、バス123に読み出されると、パススイッチ112内のマルチプレクサ130は、バス123を選択する。バス123上の内部データは出力レジスタ129に格納された後、データバス128を通して強誘電体メモリ110内の内部バス142へ転送され、さらに強誘電体メモリセルアレー140に順次書き込まれる。

【0052】このときのパススイッチ112の動作は、制御回路103により制御される。すなわち、制御回路103では、モジュール指定回路407が先に出力したセレクト信号TSEL1、TSEL2またはTSEL3(今の例ではセレクト信号TSEL1)を線111を介して、マルチプレクサ130に出力し、バス123、126、133の内のそのセレクト信号で指示される一つのバス(今の例ではバス123)を選択させる。さらに、ステートマシン405は、上記起動回路401からの待機状態への遷移指示に応答して、かつ、退避動作中の内部モジュール(今の例ではCPUコア114)からの最初の内部データがマルチプレクサ130を介して出力レジスタ129に供給されるタイミングに同期して、レジスタ更新制御回路414を線408を介して退避動作のために起動する。この回路414は、退避動作のために起動されると、マルチプレクサ130により選択されたバス上の内部データの取り込みを指示するセット信号をテストクロックTCLKに同期して繰り返し生成し、線416を介して出力レジスタ129に供給する。出力レジスタ129はこのセット信号に응答して、マルチプレクサ130から順次供給される内部データを順次取り込み、バス128を介して強誘電体メモリ110の内部バス142に供給する。

【0053】強誘電体メモリ110は出力レジスタ129からの内部バス142に供給された内部データを内部バス141を介して強誘電体メモリセルアレー140に順次書き込む。この書き込みは、制御回路103により制御される。すなわち、制御回路103内のステートマ

シーン405は、起動回路401からの上記待機動作の開始指示に応答して、かつ、退避すべき最初の内部データが強誘電体メモリ110内の内部バス142に供給されるタイミングに同期して、強誘電体メモリ制御回路413とアドレス生成回路412を線408を介して書き込み動作のために起動する。強誘電体メモリ制御回路413は、書き込み動作のために起動されると、書き込み信号をテストクロックTCLKに同期して繰り返し発生し、線109を介して強誘電体メモリ110に供給する。アドレス生成回路412は、書き込み動作のために起動されると、強誘電体メモリセルアレー140内の先頭位置からは始まり、あらかじめ定めた大きさを有する連続する退避領域のアドレスをテストクロックTCLKに同期して順次発生し、線139を介して強誘電体メモリセルアレー140に供給する。この退避領域の大きさは、各内部モジュールごとに、その内部モジュールから退避すべき全内部データの量に依存してあらかじめ定められる。強誘電体メモリ制御回路413とアドレス生成回路412は、これらの書き込み信号と書き込みアドレスを、退避すべき後続の内部データの各々が強誘電体メモリセルアレー140に供給されるのに同期して生成する。

【0054】(2D) キャッシュ122の内部データの退避

キャッシュ122は、キャッシュされている複数のデータを保持するメモリおよびそれぞれのデータを検索するためのデータを保持するメモリを有する。上記のようにしてCPUコア114に対する退避動作が終了した後、キャッシュ122のこれらのデータが退避が行われる。すなわち、制御回路103では、上記CPUコア114の内部データの退避が完了した時点で、モジュール指定回路407がキャッシュ122のセレクト信号TSEL2を出力し、テストクロック供給回路409は、キャッシュ122に対してテストクロックTCLK2を供給する。キャッシュ122に対してテストクロックTCLK2が供給され始めるタイミング同期して、ステートマシーン405は、マクロモジュール制御回路406を起動する。この回路406は、キャッシュ122内の上記内部データを保持するメモリのアドレスを順次発生し、線144を介してキャッシュ122に供給する。さらに、読み出し要求を繰り返し発生し、線135を介してキャッシュ122に供給する。こうして、キャッシュ122内の内部データがバス126に読み出され、CPUコア114の内部データと同様にして強誘電体メモリ110に退避される。なお、この退避動作のために必要なキャッシュ122の内部構造は、次に説明するRAM127の、退避動作のために必要な内部構造と同じであるので、その詳細な説明は省略する。

【0055】(2E) RAM127の内部データの退避
上記のようにしてキャッシュ122に対する退避動作が

終了した後、RAM127に対する退避動作が、キャッシュ122の場合と同様に行われる。

【0056】図3を参照するに、RAM127は、メモリセルアレー303と、これに対するデータの読み書きを行うための入力バッファ301と、アドレスラッチ304と、出力バッファ306とを有する。ORゲート307、308、309の各々には、通常動作時にクロック生成回路104から線107を介して通常動作クロックCLKが供給され、退避動作時、回復動作時あるいはテスト動作等の通常動作以外の時に、制御回路103から線106を介してテストクロックTCLK3が供給される。アドレスラッチ304には、通常動作時以外の時に、制御回路103から、アクセスすべきアドレス144が与えられる。制御回路103からは、さらに、読み出し要求または書き込み要求が線135を介して与えられる。

【0057】アドレスラッチ304は、制御回路103から与えられるテストクロックTCLK3に同期して、制御回路103から与えられるメモリセル指定アドレス144を保持する。メモリセルアレー303は、制御回路103から線135を介して与えられる要求が書き込み要求であるとき、入力バッファ301に取り込まれたデータをアドレスラッチ304が示すアドレス位置に書き込む。そうでないときには、アドレスラッチ304が示すアドレス位置にすでに書き込まれたデータを読み出す。

【0058】出力バッファ306は、制御回路103から与えられるマクロモジュール制御信号135が読み出しを指示するとき、メモリセルアレー303から読み出されたデータを、ORゲート309に輸入されるテストクロックTCLK3か通常動作クロックCLKに同期して取り込み、バス133に出力する。入力バッファ301は、ORゲート307に輸入されるテストクロックTCLK3に同期して、データバス119上のデータを保持する。

【0059】従って、待機動作の時には、メモリセルアレー303に記憶されたデータがバス133に順次読み出される。これらのデータは、すでに述べた方法で、強誘電体メモリ110に退避される。なお、後に述べる回復動作の時には、メモリセルアレー303は、バス119、入力バッファ301を介して供給されるデータをアドレスラッチ304が示すアドレスに順次記憶する。

【0060】(2F) 電源供給の遮断、テストクロックの供給中止

制御回路103では、ステートマシーン405は、起動回路401からの上記退避動作開始指示に応答して、かつ、退避対象の複数の内部モジュールに対する退避動作が完了した時点で、電源制御回路421を退避動作のために線408を介して起動する。電源制御回路421は、退避動作のために起動されると、電源切り替え回路

146に電源電圧の変更を線145を介して要求する。電源切り替え回路146は、この線145による電源変更要求に従って待機時用の電源148（これは接地電位に等しい）を選択し、結局、CPUコア114、キャッシュ122、RAM127、パススイッチ112、強誘電体メモリ110、BIST回路131への電源供給を停止する。これによりこれらのモジュールにおける待機時のリーク電流を抑えることができる。なお、制御回路103とクロック生成回路104へは常に通常動作用の電源が供給されている。

【0061】ステートマシン405は、必要な内部データの全ての退避が完了すると、起動回路401に退避完了を通知し、起動回路401は、この通知を受けると、クロック切り替え制御回路404に退避動作の完了を通知し、このクロック切り替え制御回路404は、クロック生成回路104にテストクロックの生成の終了を要求する。こうして、テストクロックも生成されなくなる。以上のようにして、待機動作が終了する。

【0062】（3）内部データの回復

（3A）電源供給の再開と回復動作の起動

図示しない他のプロセッサから線102を介して制御回路103に起動信号STARTが与えられると、起動回路401は、通常状態への遷移動作（回復動作）を起動する。このときの制御回路103の動作は、退避動作と類似であるので、以下では、退避動作と異なる点を簡単に説明するに止める。図7には、この回復動作に関するいくつかの信号のタイミングチャートを示す。

【0063】起動回路401は、先ず、退避動作の時と同様にしてクロック切り替え制御回路404に、テストクロックの生成を要求し、さらに、起動回路401は、ステートマシン405に回復動作の開始を線403を通して指示する。ステートマシン405は、この回復動作の開始指示に応答して、制御回路103内のいろいろの回路を制御する。

【0064】ステートマシン405は、上記回復動作の開始指示に応答して、電源制御回路421を回復動作のために線408を介して起動する。電源制御回路421は、回復動作のために起動されると、電源切り替え回路146に電源電圧の変更要求PWRを線145を介して要求する。電源切り替え回路146は、この線145による電源変更要求PWRに従って通常動作用の電源147を選択し、結局、CPUコア114、キャッシュ122、RAM127、パススイッチ112、強誘電体メモリ110、BIST回路131への電源供給を再開する。

【0065】さらに、モジュール指定回路407に回復動作のためのモジュールの選択を指示する。このときの回路407の動作は、退避動作の時と同じであり、テストクロック供給回路420によりテストクロックCLK1からCLK3が順次出力されることになる。

【0066】（3B）強誘電体メモリ110からの退避データの読み出し

ステートマシン405は、起動回路401からの上記回復動作の開始指示に応答して、強誘電体メモリ制御回路413とアドレス生成回路412を線408を介して読み出し動作のために起動する。強誘電体メモリ制御回路413は、読み出し動作のために起動されると、読み出し信号をテストクロックCLKに同期して繰り返し発生し、線109を介して強誘電体メモリ110に供給する。アドレス生成回路412は、読み出し動作のために起動されると、書き込み動作のために起動された場合と同じく、強誘電体メモリセルアレー140内の前述した退避領域のアドレスをテストクロックCLKに同期して順次発生し、線139を介して強誘電体メモリセルアレー140に供給する。こうして、強誘電体メモリセルアレー140に退避された内部データがそれぞれのデータの退避順と同じ順序で順次読み出され、内部バス141、142、117を介してパススイッチ112内の入力レジスタ115に読み出される。

【0067】（3B）CPUコア114、キャッシュ122、RAM127への退避データの書き込み

回復動作時のパススイッチ112の動作は、制御回路103により制御される。退避動作のときと異なり、制御回路103では、ステートマシン405は、上記起動回路401からの回復動作の開始指示に応答して、かつ、強誘電体メモリ110からの最初の退避データが入力レジスタ115に供給されるタイミングに同期して、レジスタ更新制御回路414を線408を介して回復動作のために起動する。この回路414は、バス117上の退避データの取り込みを指示するセット信号をテストクロックCLKに同期して繰り返し生成し、線416を介して入力レジスタ115に供給する。入力レジスタ115はこのセット信号に応答して、バス117を介して順次供給される退避データを順次取り込み、マルチプレクサ116に供給する。モジュール指定回路407は、待機動作の時と同様に、線111を介して出力するセレクト信号TSEL1、TSEL2またはTSEL3を生成するが、それぞれの信号はマルチプレクサ116に与えられる。マルチプレクサ116は、CPUコア114、キャッシュ122、RAM127に接続されたバス113、118、119を線111から供給されているセレクト信号に応じて選択する。こうして、CPUコア114から退避された内部データが順次そこに供給され、そのなかの複数のフリップフロップに書き込まれる。こうして、CPUコア114の内部データが回復される。従って、CPUコア114の状態は、退避状態に遷移する直前の状態となり、CPUコア114は、その状態から動作を再開することが出来るようになる。

【0068】その後、キャッシュ122から退避された内部データが順次そこに供給され、そのなかのメモリに

書き込まれる。同様に、RAM127から退避された内部データが順次そこに供給され、そのなかのメモリセルアレー303（図3）に書き込まれる。キャッシュ122、RAM127への内部データの回復に当たっては、制御回路103では、ステートマシン405が、マクロモジュール制御回路406を回復のために起動する。この回路406は、回復のために起動されると、線135を介して書き込み要求をキャッシュ122、RAM127へ供給する点で退避動作の時と異なる。

【0069】（3C）通常クロックの供給再開
ステートマシン405は、必要な内部データの全ての回復が完了すると、起動回路401に回復完了を通知し、起動回路401は、この通知を受けると、クロック切り替え制御回路404に回復動作の完了を要求し、このクロック切り替え制御回路404は、クロック生成回路104にクロックの切り替えを要求する。クロック生成回路104は、テストクロックの生成を止め、さらに、線107を介してCPUコア114、キャッシュ122、RAM127へに通常クロックを供給し始める。こうして、回復動作が終了する。

【0070】（4）テスト動作
故障検出はBIST回路132を用いて行う。図5を参照するに、セルフテスト起動回路516は、図示しない外部のプロセッサから起動信号143を受けると、線108を通して、テスト動作の開始指示を図1中の制御回路103に知らせる。制御回路103では、起動回路401は、このテスト開始指示に応答して、クロック繰り替え回路404にクロックの切り替えを指示する。クロック繰り替え回路404は、先に述べた回復動作の場合と同様に、クロックの切り替えをクロック生成回路104に指示する。こうして回復動作の場合と同様に、CPUコア114、キャッシュ122、RAM127への線107を介した通常クロックの供給が停止され、代わりに、テストクロックTCLKが制御回路103および強誘電体メモリ110、パススイッチ112に供給される。

【0071】制御回路103では、起動回路401は、ステートマシン405は、BIST制御回路419にテスト動作の開始を指示する。この回路419は線150を介してセルフテストステートマシン514に対してセルフテストの開始を知らせる。セルフテストステートマシン514は、制御信号510、504、505、511、518を用いてパターン発生器509、内部バス出力制御回路503、データバッファ506、パターン圧縮器513、外部バス出力制御回路519の制御を行う。まず、制御信号510を用いてパターン発生器509を起動する。パターン発生器509は、起動されると、テストパターンデータの異なる部分を順次発生し、信号線508を通して内部バス出力制御回路503に渡す。内部バス出力制御回路503は、このテストパター

ンデータの異なる部分を信号線502を通し内部バス501に順次出力する。このテストパターンの異なる部分は、強誘電体メモリ110内の所定の大きさのテストパターン用のバッファ領域に順次格納される。本実施の形態では、このバッファ領域は強誘電体メモリ110の先頭位置から始まると仮定する。

【0072】強誘電体メモリ110へのこのテストパターンの書き込みは制御回路103により以下のように行われる。制御回路103では、ステートマシン405は、強誘電体メモリ制御回路413とアドレス生成回路412をデータ書き込みのために起動する。これらの回路は、書き込みのために起動されると、退避動作の場合と同様に、強誘電体メモリ110に対して書き込み要求を繰り返し供給し、かつ、異なる書き込みアドレスを順次供給する。こうして、BIST回路132内の内部バス出力制御回路503から順次転送されたテストパターンの異なる部分が、強誘電体メモリ110内の強誘電体メモリセルアレー140に順次書き込まれる。

【0073】制御回路103では、ステートマシン405は、上記複数のテストパターンの各々に対して上記強誘電体メモリ110への書き込みを繰り返す。これらのテストパターンの書き込みが終了した時点で、強誘電体メモリ制御回路413とアドレス生成回路412を、回復動作の場合と同様に、データ読み出しのために起動する。これらの回路は、読み出しのために起動されると、回復動作の場合と同様に、強誘電体メモリ110に対して読み出し要求を繰り返し供給し、かつ、異なる読み出しアドレスを順次供給する。こうして、強誘電体メモリセルアレー140に書き込まれた一つのテストパターンの異なる部分が、強誘電体メモリ110から順次読みだされる。

【0074】制御回路103では、ステートマシン405は、上記一つのテストパターンの先頭の部分データの読み出しに同期して、モジュール指定回路407とレジスタ更新制御回路414を、回復動作の場合と同様に、テスト動作のために起動する。レジスタ更新制御回路414は、強誘電体メモリ110から読み出された部分データの取り込みを入力レジスタ線417を介して指示する。本実施の形態では、スキャン回路を内蔵していると、モジュール指定回路407は、テスト動作のために起動されると、このCPUコア114を選択し、セレクト信号TSEL1をマルチプレクサ116とCPUコア114に出力する。なお、複数のテスト対象モジュールがある時には、それらのモジュールを順次選択するのは回復動作の時と同様である。

【0075】こうして、強誘電体メモリ110から読み出されたテストパターンデータの異なる部分がCPUコア114に順次供給され、さらに、テストクロックTCLK1がCPUコア114に供給される。CPUコア1

14はそのテストパターンデータの異なる部分を順次スキャンインする。すでに述べたように、CPUコア114には、複数のフリップフロップを連結し、それらが保持する内部データを順次読み出し、あるいはそれらのフリップフロップに複数のデータを順次スキャンインするスキャン回路が組み込まれている。上記テストパターンデータのスキャンインはこのスキャン回路を、図2を使用して先に説明した内部データの回復の動作と同じように制御することにより実現される。

【0076】その後、制御回路103は、上記テストデータに対する上記複数の組み合わせ回路の応答データの異なる部分をそれらのフリップフロップに取り込ませる。具体的には、図2の各フリップフロップFF[i、j]の通常動作時のクロックCLKの入力端子107にセット信号を入力し、このフリップフロップの通常動作時のデータ入力端子204を介して接続された組合せ論理回路C[i、j-1]の出力をこのフリップフロップに保持させればよい。このためのセット信号の生成回路は簡単化のために図2では省略されているが、この様にテストデータに対する応答データの異なる部分を順次フリップフロップに取り込ませることはそれ自体は公知である。

【0077】その後さらに、制御回路103は、取り込まれた応答データの異なる部分を順次スキャンアウトさせる。このときの動作は、前述の内部データの退避動作と同じである。こうして、CPUコア114は、生成した応答データの異なる部分をそれぞれ順次バス123に出力する。

【0078】すなわち、今説明しているテスト動作の場合には、CPUコア114へのテストデータのスキャンインおよび応答データのスキャンアウトの時には、このスキャン回路を前述の回復動作および退避動作の場合と同様に動作させ、このスキャン回路のスキャンアウトの前に、このテストパターンデータに対する応答データの異なる部分をフリップフロップに保持させればよい。このように、本実施の形態では、前述の退避回復動作の時にテスト動作の時にスキャン回路を共用し、その制御のみを変えることにより二つの動作を実現している。

【0079】さて、制御回路103では、ステートマシン405は、上記応答データの異なる部分を、前述の退避動作の場合と同様にして強誘電体メモリ内の応答データ用のバッファ領域に順次書き込む。本実施の形態では、応答データ用のバッファ領域は、強誘電体メモリセルアレー140の先頭位置から始まり、前述のテストパターン用バッファ領域と同じ領域であると仮定する。このために、強誘電体メモリセルアレー140に保持されるテストパターンデータの異なる部分の全てが読み出された後に、それに対する応答データの異なる部分が強誘電体メモリセルアレー140に供給開始されるように、強誘電体メモリセルアレー140に保持されるテストパ

ターンデータの異なる部分の総数を定める。

【0080】制御回路103では、ステートマシン405は、上記応答データの異なる部分データが強誘電体メモリセルアレー140に書き込まれた後に、以上の動作を強誘電体メモリ110に保持された複数のテストパターンに対して繰り返す。その後各テストパターンに対する応答データの異なる部分データがこの強誘電体メモリ110から順次読み出されるように、強誘電体メモリ制御回路413とアドレス生成回路412を起動する。但し、テストパターンデータの読み出しの時と異なり、パススイッチ112にこれらの応答データを取り込ませることはしない。まず、強誘電体メモリセルアレー140に書き込まれた一つの応答データの異なる部分が順次バス141を介してバス142に読み出される。BIST回路132では、セルフテストステートマシン514が、バス131を介して順次供給される応答データの異なる部分データの取り込みを、線505を介してデータバッファ506に指示する。データバッファに取り込まれた各応答パターンはパターン圧縮器513により圧縮され、さらに、外部バス出力制御回路519により、図示しない外部のプロセッサに故障解析のために供給される。強誘電体メモリセルアレー140は、そこに書き込まれた他の応答データに読み出しを繰り返し、BIST回路はそれぞれの応答データに対して上記動作を繰り返す。

【0081】このように、本実施の形態では、複数のテストパターンがBIST回路132から強誘電体メモリ110内のバッファ領域に連続して転送され、その後、各テストパターンデータの異なる部分とそのバッファ領域からテスト対象回路に連続して転送される。さらに、そのテスト対象回路からの応答データの異なる部分データが強誘電体メモリ110内のバッファ領域に連続して転送される。以上の動作を、バッファ領域内の異なるテストパターンに繰り返された後に、それらのテストパターンに対する複数の応答データがバッファ領域からBIST回路132に連続して転送される。従って、テスト対象回路に一つのテストパターンデータを供給し、そのテストデータに応答データをテスト対象回路からBIST回路に供給するという一連の動作を異なるテストパターンデータに対して繰り返す場合よりもはるかに高速にテストを行うことが出来る。

【0082】＜変形例＞本発明は、以上に示した実施の形態に限定されるのではなく、本発明の主旨を変えない範囲で以下に例示する変形およびその他の変形を含む。

【0083】(1)上記実施の形態では、CPUコア内の全順序回路を構成する全てのフリップフロップ内のデータを退避回復する例を示したが、これらの順序回路の内、待機状態から通常状態に移移するときに最小限必要な一部の順序回路を構成する複数のフリップフロップをあらかじめ選択しておき、これらの一部のみに対して、

実施の形態で示したスキャン回路を使用してもよいことは言うまでもない。

【0084】(2) 本発明は、マイクロコンピュータ以外のデータ処理装置、例えば、ディジタルシグナルプロセッサその他のプロセッサにも適用できる。

【0085】(3) 上記実施の形態では、待機時に、CPUコア等に電源電圧を実質的に供給しなかったが、通常動作の電源電圧より小さい電圧を供給しても省電力の効果は生じる。

【0086】(4) 強誘電体メモリ103の代わりにFLASHメモリなどの不揮発性メモリを用いることも可能である。但し、強誘電体メモリ103は、動作速度、セル面積、繰返し動作回数等において、FLASHメモリ等より優れている。

【0087】(5) マイクロコンピュータ101あるいはその他のデータ処理装置は複数のチップ上に形成することも可能である。しかし、ワンチップ上に搭載した場合には、コストの低減、セキュリティの強化、消費電力の低減などのメリットが生じる。

【0088】(6) 状態遷移信号102は通常動作時にランダムモジュールから与えられるようにしてもよい。

【0089】(7) テスト起動信号143は、マイクロプロセッサ101内のいずれかのランダムモジュールにより発生させるようにすることも可能である。

【0090】(8) CPUコア114の順序回路を構成するフリップフロップの形態は図2で示したもの以外に通常動作にセット信号などを付加した形式のものでもよい。

【0091】(9) データ処理装置101が通常動作モードである間、強誘電体メモリ110をROMとして使用することも可能である。このために予め、このメモリの特定の領域に、上記退避動作、回復動作とは直接関係しないプログラム命令あるいはデータを格納させておく。

【0092】

【発明の効果】 本発明によりデータ処理装置の待機時に順序回路の内容をデータ退避用のメモリに退避でき、待機中に電源電圧を下げるため待機時の順序回路に流れるリーク電流による消費電力を削除することが可能となる。

【0093】とくに、この退避回復回路をスキャン回路にて構成した場合には、この退避回復回路の構造を単純化できる。

【0094】とくに、上記データ退避用のメモリに不揮発性メモリを用いた場合には、データ処理装置全体の待機時の消費電力をさらに削除することができる。

【0095】さらに、この不揮発性メモリに強誘電体メモリを用いた場合には、待機時の消費電力を削除するとともに、データ処理装置の待機状態への移行あるいはそれからの回復を高速に行いうる。

【0096】さらに、データ処理装置内の順序回路にスキャンラッチを用い、上記データ退避用のメモリに強誘電体メモリを用い、チップ内にBIST回路を設け、この強誘電体メモリをこのBIST回路から供給される複数のテストパターンデータを一時的に保持するバッファとして使用し、さらに検査対象モジュールから出力された、BIST回路へ転送すべき複数の応答データを一時的に保持するパターンのバッファに用いた場合には、高速に故障検出を行うことが可能となる。

【図面の簡単な説明】

【図1】 本発明に係るマイクロプロセッサの全体図を示す。

【図2】 図1に記述したCPUコアの詳細図を示す。

【図3】 図1中のRAMの詳細図を示す。

【図4】 図1中の制御回路の詳細図を示す。

【図5】 図1中のBIST回路の詳細図を示す。

【図6】 図1のマイクロプロセッサの、通常状態から待機状態への遷移時のいろいろの信号のタイミングチャートを示す。

【図7】 図1のマイクロプロセッサの待機状態から通常状態への遷移時のいろいろの信号のタイミングチャートを示す。

【符号の説明】

139 アドレス

144 アドレス

145 電源切り替え信号

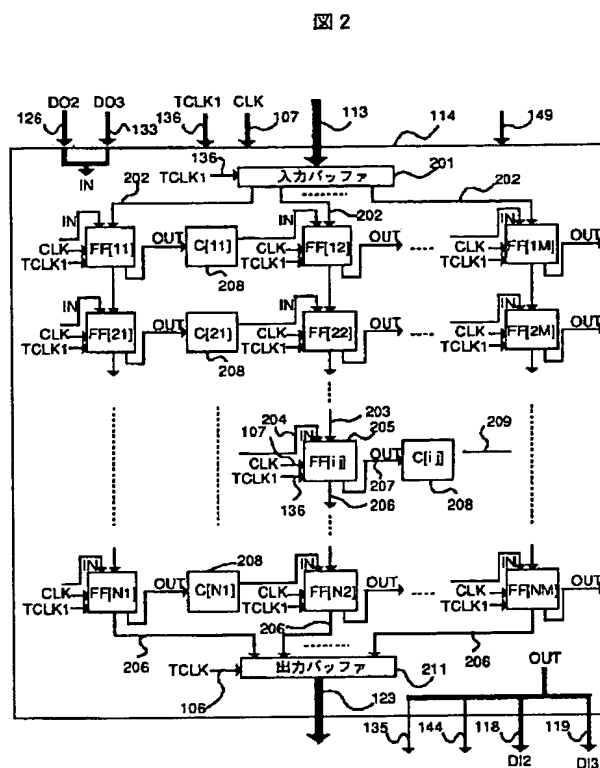
147 通常動作の電源

148 待機時用の電源

205 フリップフロップ (FF)

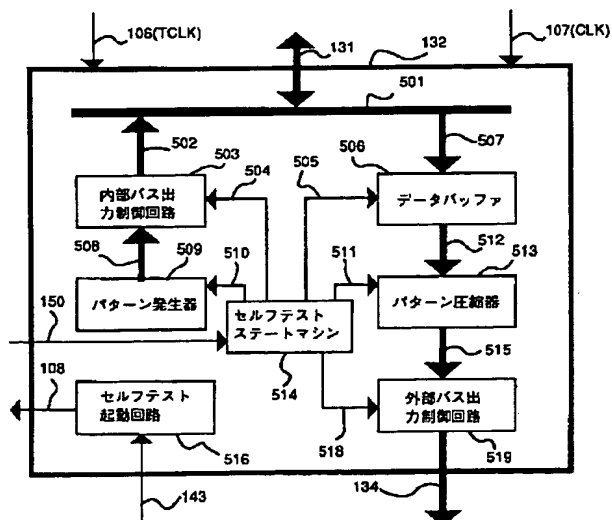
208 組み合わせ回路

【圖 2】



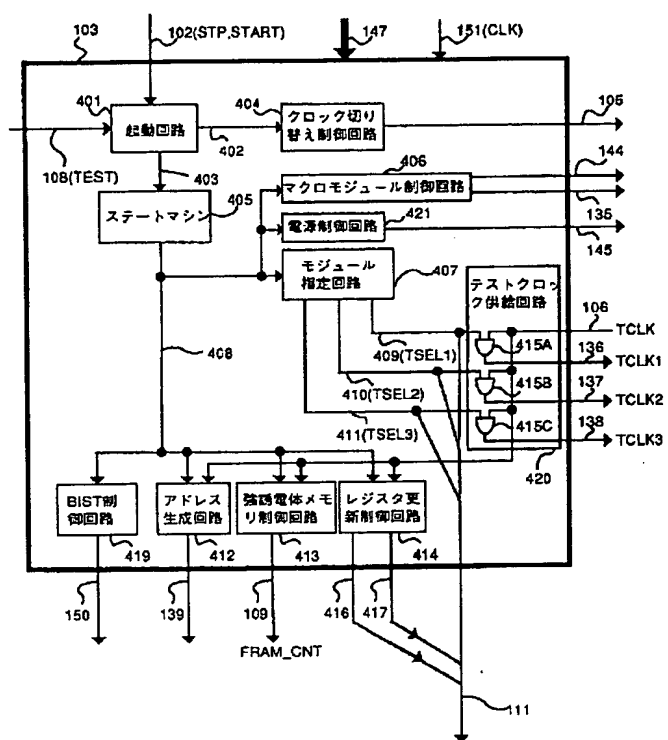
【図 5】

图 5



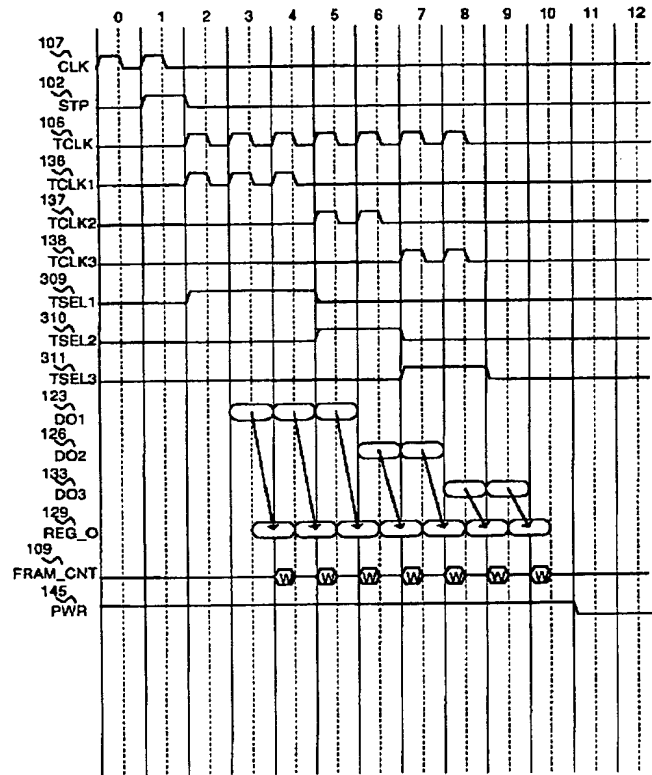
【図 4】

図 4

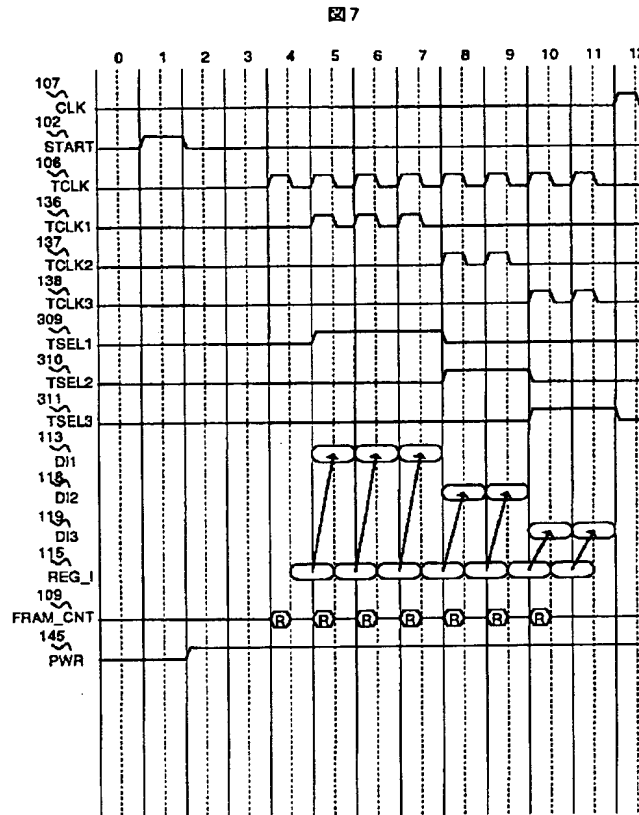


【図 6】

図 6



【図 7】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I

技術表示箇所

G 0 6 F 1/00

3 3 5 C

(72) 発明者 谷川 博之

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 島崎 靖久

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 小林 伸好

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

DELPHION

Log Out Work Files Saved Searches

RESEARCH PRODUCTS

INSIDE DELPHION

Selecter Sign Tracking

No active trail

My Account

Search: Quick/Number Boolean Advanced Derwent Help

The Delphion Integrated View

Get Now: ☒ PDF | More choices...

Tools: Add to Work File:

View: INPADOC | Jump to: Top

☒ Email this to a friend

Title: JP10078836A2: DATA PROCESSOR

Derwent Title: Microprocessor with low power consumption - has power supply switching module which restores normal power supply to CPU after waiting state of CPU, before reading data from ferroelectric memory into flipflops [Derwent Record]

Country: JP Japan
Kind: A

Inventor: NISHIMOTO JUNICHI;
YAMADA KOSHI;
TAKEUCHI MIKI;
TANIGAWA HIROYUKI;
SHIMAZAKI YASUHISA;
KOBAYASHI NOBUYOSHI;

Assignee: HITACHI LTD
News, Profiles, Stocks and More about this company

Published / Filed: 1998-03-24 / 1996-09-05

Application Number: JP1996000234860

IPC Code: G06F 1/30; G06F 1/26; G06F 1/32; G06F 11/22; G06F 11/22;

Priority Number: 1996-09-05 JP1996000234860

Abstract: PROBLEM TO BE SOLVED: To reduce the power consumption by reducing the leakage current during standby of a data processor.

SOLUTION: Plural sequential circuits in a CPU + core 114 are constituted of plural scannable flip flops and plural combined circuits. The data of those flip flops are successively scanned-out



View Image 1 page

and saved to a ferroelectric memory 110 by the control of a control circuit 103 before transition from a normal state to a waiting state. Data held in memories in a cache 122 or an RAM 127 are also successively read and saved by the control of the control circuit 103, and a power source switching circuit 146 is controlled so that power supply to those inside modules can be interrupted. The power source switching circuit 146 is controlled so that the power supply to those inside modules can be resumed before transition from the standby state to the normal state. Those saved data are successively read out of the ferroelectric memory 110, and written in the inside module which holds each data.

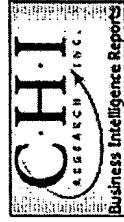
COPYRIGHT: (C)1998,JPO

None

Family:

Other Abstract
Info:

DERABS G98-246907 DERG98-246907



Nominate this for the Gallery...

THOMSON

Copyright © 1997-2005 The Thomson Corporation
Subscriptions | Web Seminars | Privacy | Terms & Conditions | Site Map | Contact Us | Help



OrderPatent

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 100788:

(43) Date of publication of application: 24.03.

(51) Int. Cl. G06F 1/30

G06F 1/26, G06F 1/32, G06F 11/22, G06F 11/22

(21) Application number: 08234860

(22) Date of filing: 05.09.1996

(71) Applicant: HITACHI LTD

(72) Inventor: NISHIMOTO JUNICHI

YAMADA KOSHI

TAKEUCHI MIKI

TANIGAWA HIROYUKI

SHIMAZAKI YASUHISA

KOBAYASHI NOBUYOSHI

(54) DATA PROCESSOR

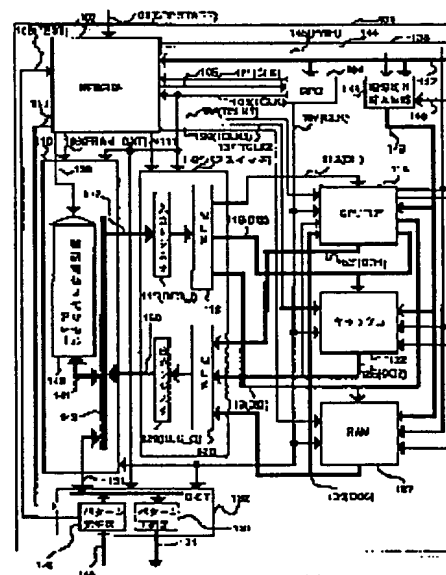
inside module which holds each data.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption by reducing the leakage current during standby of a data processor.

SOLUTION: Plural sequential circuits in a CPU + core 114 are constituted of plural scannable flip flops and plural combined circuits. The data of those flip flops are successively scanned-out and saved to a ferroelectric memory 110 by the control of a control circuit 103 before transition from a normal state to a waiting state. Data held in memories in a cache 122 or an RAM 127 are also successively read and saved by the control of the control circuit 103, and a power source switching circuit 146 is controlled so that power supply to those inside modules can be interrupted. The power source switching circuit 146 is controlled so that the power supply to those inside modules can be resumed before transition from the standby state to the normal state. Those saved data are successively read out of the ferroelectric memory 110, and written in the





OrderPatent